

イメージ・ジェネレータ
SVO-03
ハードウェア仕様書

Rev.1.2

株式会社ネットビジョン

改訂履歴

版数	日付	内容	作成
1.0	2016/01/13	初版（SVO-03ハードウェア仕様書）から改訂	柏木
1.1	2016/01/29	DCK出力のSDR/DDRモード設定の章を追加	工藤
1.2	2016/07/06	「5. 5. CN5:ターゲット接続コネクタ」の注釈を追加 「13. 8bit/16bit/24bit/32bit画像出力時のCN4、CN5のピン割り当てについて」を追加	柏木

目次

1. 概要	1
1.1. SVO-03の主な機能および特徴	1
2. SVO-03 ボードの接続構成	2
2.1. 電源入力に関して.....	2
2.2. PCなどのUSBポートからの給電に関して	2
3. SVO-03 ブロック図	3
4. SVO-03 ボードの外形	4
4.1. 以下に SVO-03 ボードの写真を掲載します。.....	4
4.2. SVO-03 ボードの概略配置	5
4.3. SVO-03 ボードの寸法	6
5. SVO-03 コネクタ	7
5.1. CN1: サブ電源コネクタ.....	7
5.2. CN2: USB3. 0コネクタ.....	7
5.3. CN3: HDMIコネクタ.....	7
5.4. CN4: ターゲット接続コネクタ.....	8
5.5. CN5: ターゲット接続コネクタ.....	9
5.6. CN4とCN5の位置関係.....	9
5.7. CN6: FPGA-JTAG コネクタ.....	10
5.8. CN7: FX3-JTAG コネクタ.....	10
6. SVO-03 スイッチ	11
6.1. SW1: プッシュ・スイッチ	11
6.2. SW2: ディップ・スイッチ.....	11
7. SVO-03 発光ダイオード	12
7.1. LED1～10の概要	12
7.2. 動作状態モニタLEDの詳細.....	12
8. ターゲット電源調整ボリューム	13
8.1. RV1: VDDH調整用ボリューム	13
8.2. RV2: VDDL調整用ボリューム.....	13
9. チェック端子	13
9.1. TP2: "VDDH"チェック端子(赤)	13

9.2.	TP4: "VDDL"チェック端子(赤)	13
9.3.	TP1/3/5/6: 電圧チェック端子(赤)	13
9.4.	TP7/8/9/10: "GND"チェック端子(黒)	13
9.5.	TP11~33: I/O信号チェック端子(黄)	13
9.6.	TP34~39: FPGA信号チェック端子(黄)	13
10.	ターゲット用電源 VDDH、VDDL	14
10.1.	VDDH	14
10.2.	VDDL	14
10.3.	出力回路概略図	14
10.4.	入力回路概略図	14
11.	DCK 出力の SDR/DDR モード設定	15
11.1.	SDR-Mode0(pos-edge)	15
11.2.	SDR-Mode1(neg-edge)	15
11.3.	DDR-Mode0(0°)	16
11.4.	DDR-Mode1(180°)	16
11.5.	DDR-Mode2(-90°)	17
11.6.	DDR-Mode3(+90°)	17
12.	注意事項	18

1. 概要

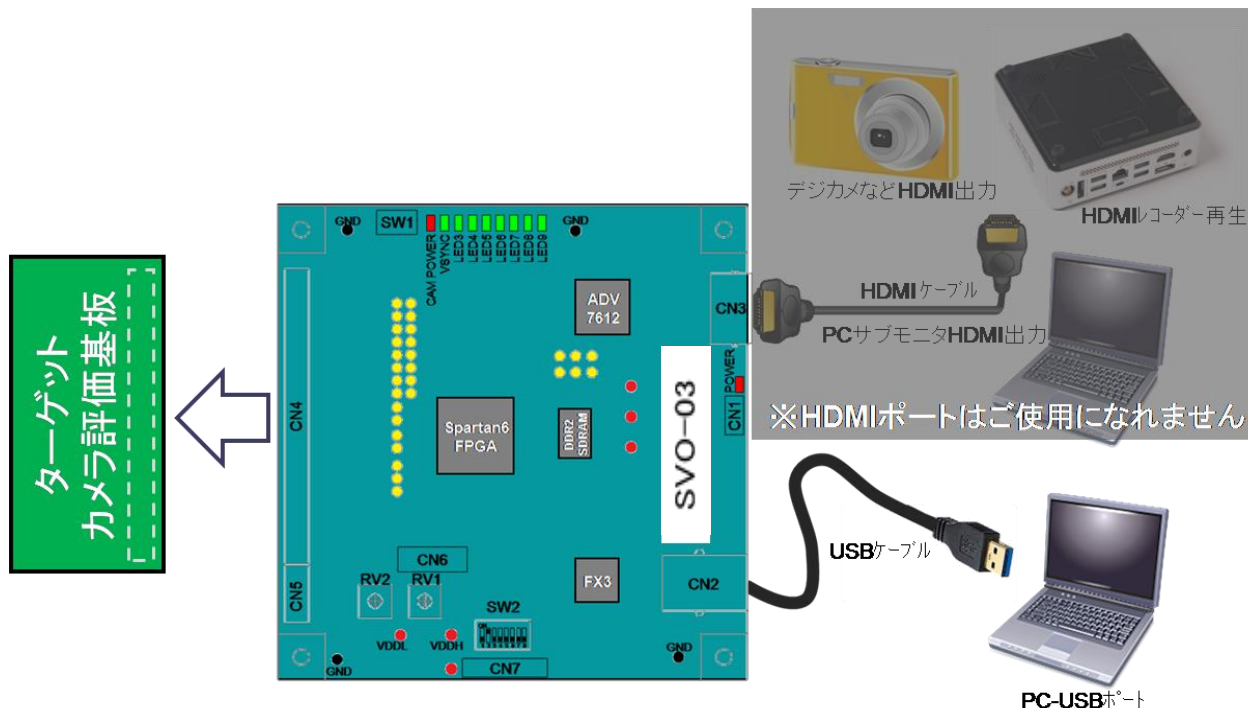
本仕様書は、PCに保存された画像でのビデオ映像をカメラやイメージ・センサのように出力するI/Fボード:”SVO-03”のハードウェア仕様書です。USB3.0インターフェースを持つパソコンと接続し、簡単にターゲットボードに画像をリアルタイムで出力することができます。

1.1. SVO-03の主な機能および特徴

- USB3.0デバイス・コントローラを搭載しているため、ホストPCに保存済みの画像、ビデオ・ファイルをUSB3.0(5Gbps)を介した高速転送で、デジタル・パラレルでビデオ信号を出力するイメージ・ジェネレータとしての機能(以後、USB版と称します。)を有します。
- ホストPCとのUSB接続を通して、アプリケーションから複数ボードの選択、ビデオ出力のためのピクセル・クロック周波数、VS/HSなどの同期信号のタイミングおよび極性、さらにEmbedded Sync.(SAV/EAV)などの細やかな設定およびコントロールが可能です。
- フレーム・メモリとしてDDR2-SDRAM(128MByte)を搭載していますので、ターゲットに合わせた多様な出力タイミングに対応でき、データ抜け、ライン抜けのない画像出力が可能です。(動作モード、転送設定によっては保証できない場合があります。)
- 外部クロック入力(外部出力装置のピクセル・クロックとの同期)、外部同期入力(外部出力装置のビデオ・タイミング信号をマスタとし、本装置をスレーブとしてのビデオ同期)、外部トリガ入力(外部出力装置のトリガによるスタート・ストップの制御に対応しているため、複数のSVO-03ボード間または他の装置との同期動作、協調動作に対応します。
- ターゲット接続側は、2列2.54mmピッチの60ピンで、既存のSVO-02他、SVシリーズと完全にピン・コンパチブルですので、お使いのカメラ評価基板などのターゲットとすぐに接続することができます。
- ターゲット接続での出力ハードウェア仕様は、CMOSパラレルで16bitデータ、同期信号としてVSYNC,HSYNC、ピクセル・クロックを出力し、ピクセル・クロック出力は100MHzまで対応します。
- 8bit汎用出力ポート/8bit汎用入力ポート(8bit単位で相互に方向切り替え可能)を搭載していますので、ターゲット評価ボードへの設定、ステータスの読み込み等が可能です。
- 上記汎用ポートを16bit出力として組み合わせることで、32bitでのデータ出力も可能です。(現行では、16bitより大きいビット幅でのデータ出力はオプションとなります。)
- DDR出力に対応し、ピクセル・クロックに対してデータおよび同期信号を2倍のビット・レートで出力することが可能なため、1080p/60fpsのような高転送レートを必要とする画像出力を標準の16bitデータ・バスで出力できます。
- ピクセル・クロック出力は、搭載FPGAに内蔵のPLL及びDCMを使用することで、任意の周波数に対応します。
- 出力画像の形式として、8bit x 2CLKs または 16bit x 1CLK でYUV4:2:2形式に対応します。(オプションですが、ラインナップを増やすことが可能です。)
- SVO-03ボードの電源は、USBコネクタからの5V給電により動作します。PCのUSBポートからUSBケーブルを介して給電するので、通常は専用のACアダプタを必要としません。

2. SVO-03 ボードの接続構成

以下に SVO-03 ボードの接続構成を図示します。



※ホストPCに保存済みの画像を出力するUSB版として機能とHDMIからのビデオ入力画像を出力するHDMI版としての機能は、同時にご使用になれません。ボード上のディップ・スイッチを切り替えて立上げることで、機能を切り替えて使用します。

※HDMI版の機能については、オプションになります。

2.1. 電源入力に関して

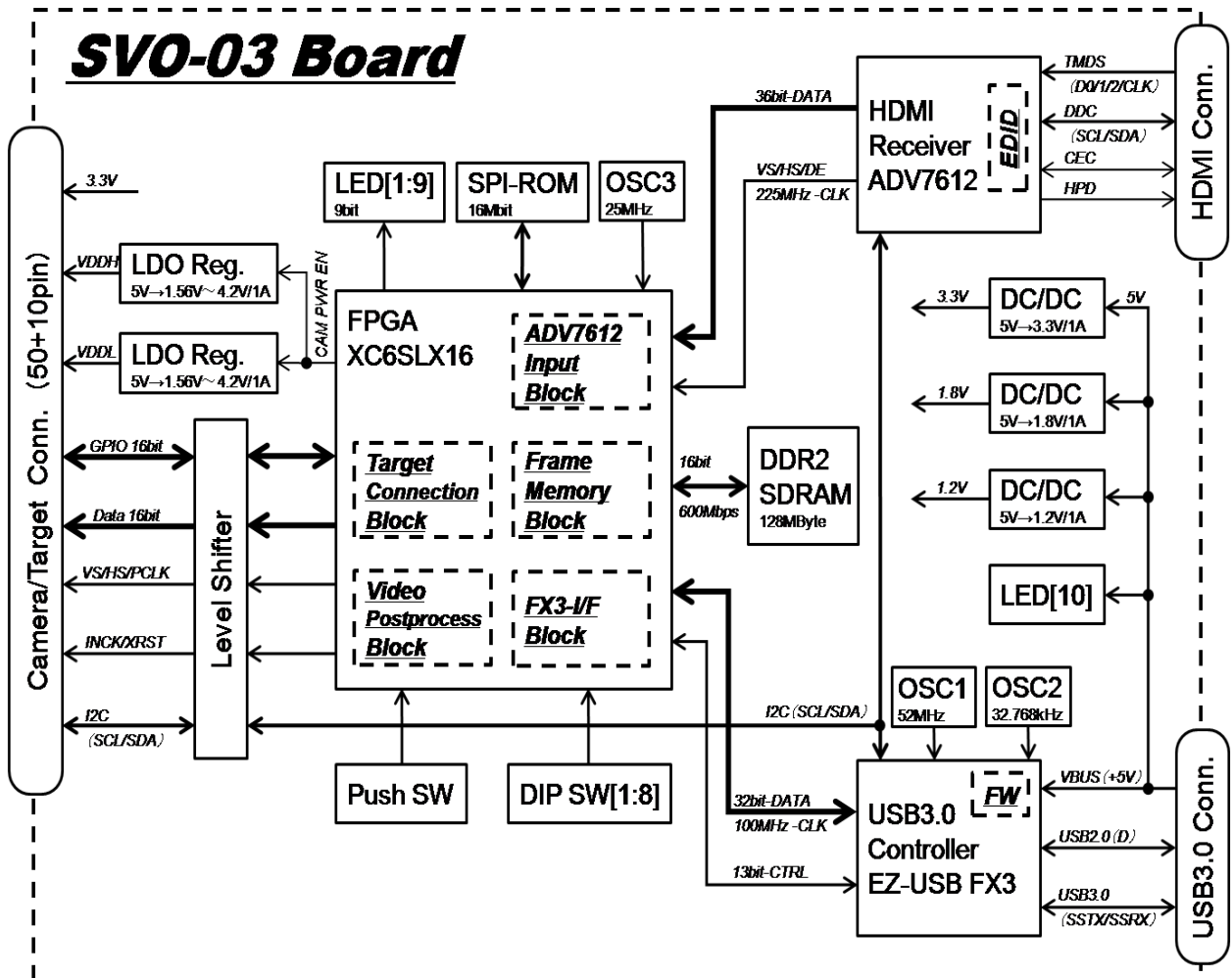
SVO-03 ボードは専用電源アダプタを不要としているため、ホストPCとのUSB接続による給電で動作します。ターゲットを接続しない場合の画像出力動作状態で、USBバス・パワー(5V)入力に対してUSB版では **620mA** 程度の消費電流となります。ターゲットを接続しての画像出力では、さらに電流量が増えますので、給電には十分な電流量のあるUSBケーブルを使用し、ホストPCのUSB3.0ポートへ接続してご使用ください。

2.2. PCなどのUSBポートからの給電に関して

PCなどからのUSB給電で動作可能ですが、USB2.0ポートでは**最大 500mA**、USB3.0ポートでは**最大 900mA** とUSB仕様上では決められています。また、バッテリー動作のモバイルPCとの接続では電力が制限される場合がありますので、AC電源に接続したPCとの接続を推奨します。

3. SVO-03 ブロック図

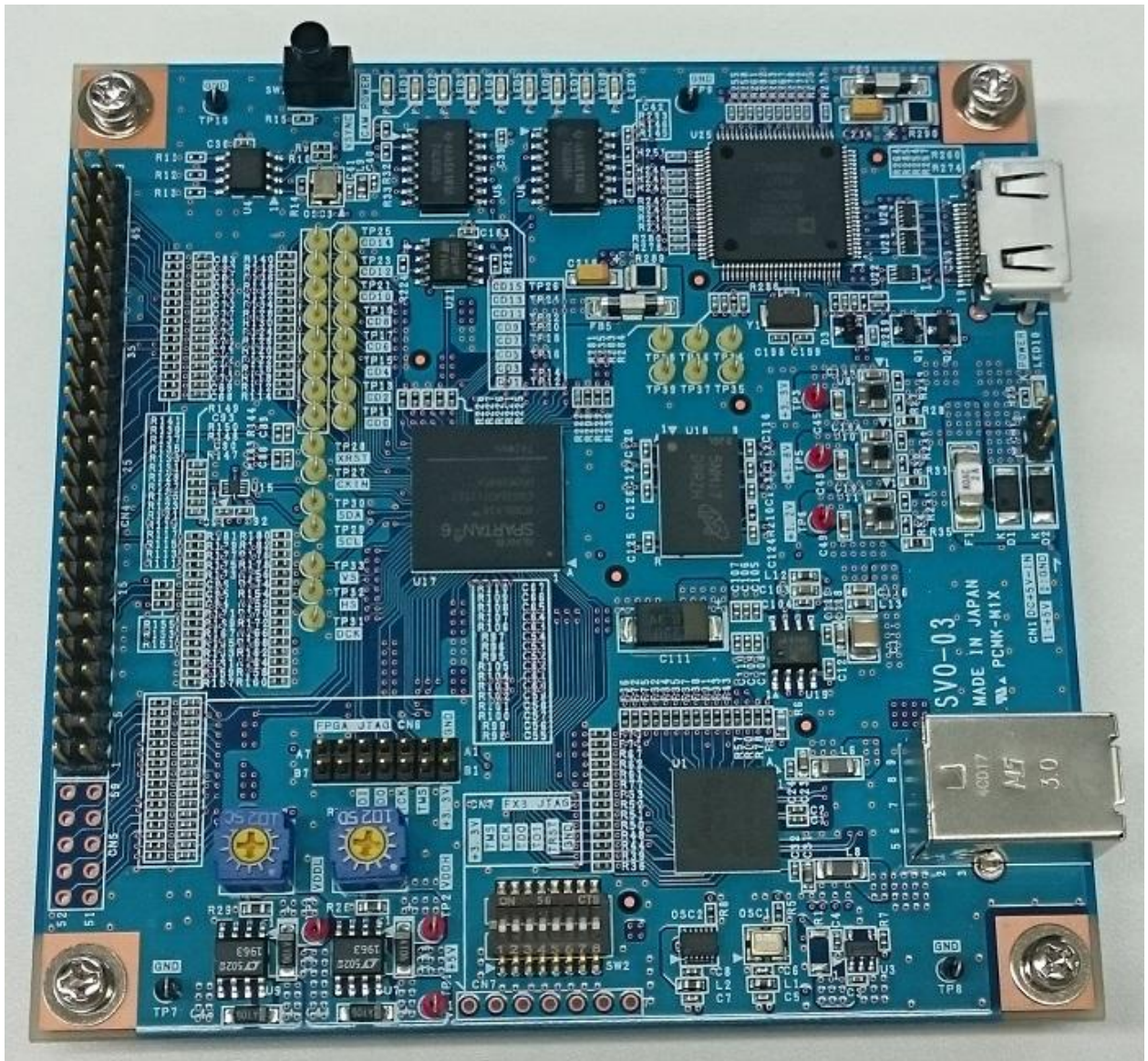
以下に SVO-03 の概略ブロック図を示します。



4. SVO-03 ボードの外形

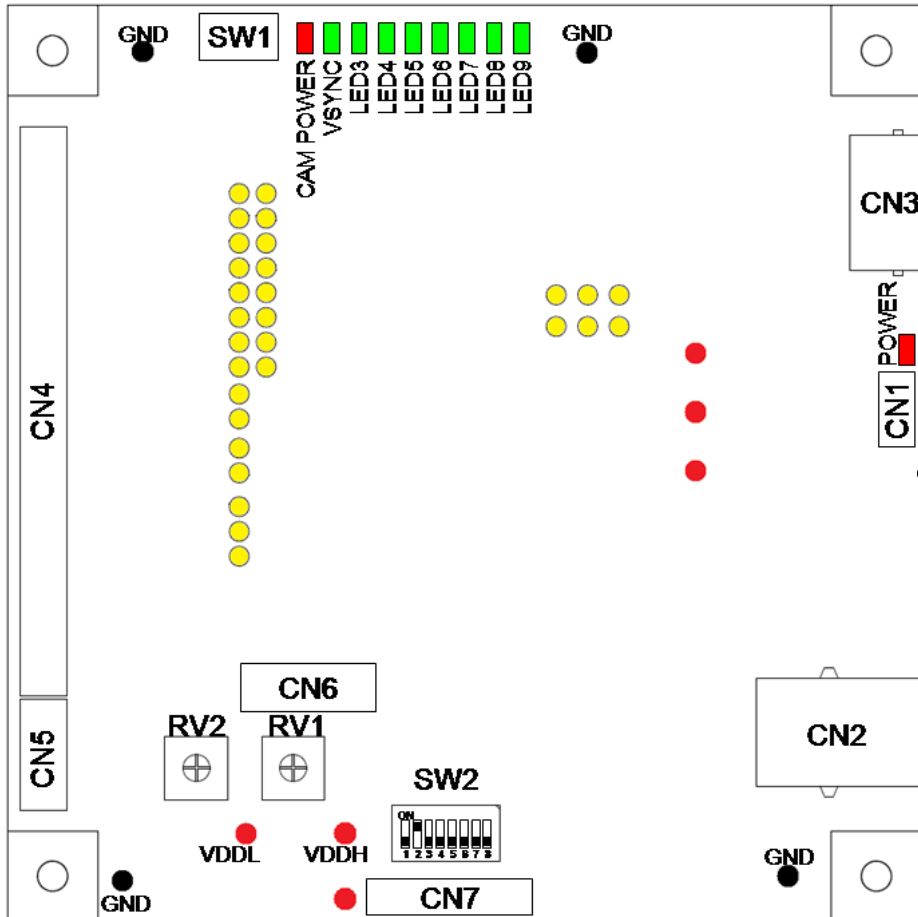
以下に SVO-03 ボードの外形に関する写真や図を掲載します。

4.1. 以下に SVO-03 ボードの写真を掲載します。



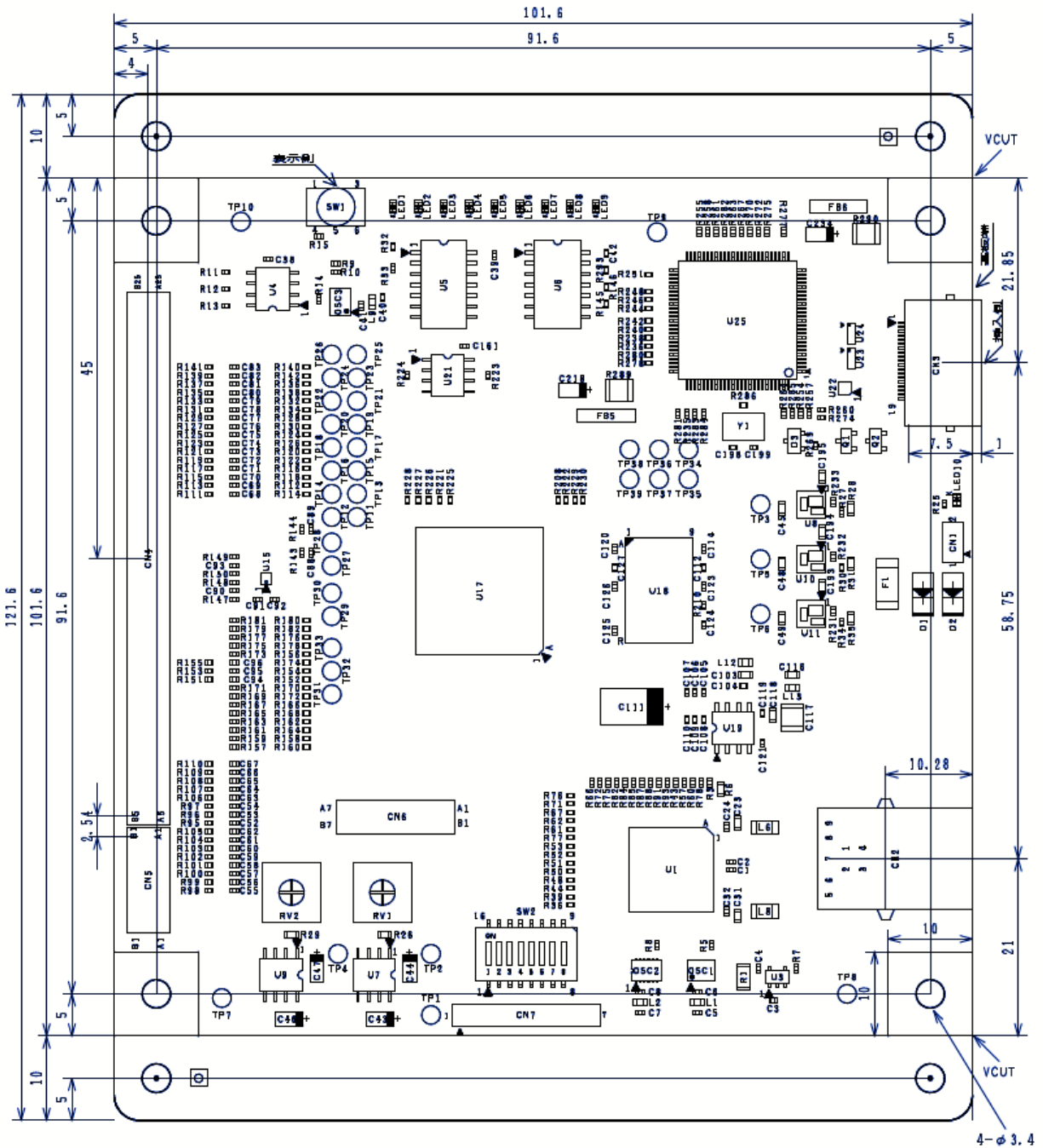
4.2. SVO-03 ボードの概略配置

以下に SVO-03 ボードの概略配置図を掲載します。ボード上のコネクタ、スイッチ、発光ダイオードなど、ユーザが操作または確認することのできる部品に限定して示しています。



4.3 SVO-03 ボードの寸法

以下に SVO-03 ボードの寸法図を掲載します。実際のボードでは、上端と下端それぞれVCUTまでの 10mm の部分は含まれず、縦方向のサイズは他の SV シリーズ同様に 101.6[mm]となっています。



5. SVO-03 コネクタ

5.1. CN1: サブ電源コネクタ

USBバス・パワーでは電源容量を満たせない場合、またはUSBバス・パワー経由で給電しない場合に使用するための電源コネクタです。

使用コネクタ		A2-2PA-2.54DSA(71): ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	+5V	IN	DC5V 電源	2	GND	-	電源グラウンド

5.2. CN2: USB3.0コネクタ

ホストPCと接続するUSB3.0コネクタです。市販のUSB3.0ケーブルがご使用できます。

SVO-03の電源供給としての使用を兼ねたコネクタです。

使用コネクタ		USB30B-09K-PC: 日本コネク					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	VBUS	IN	+5V バス・パワー	2	D-	I/O	USB2.0差動ペア-
3	D+	I/O	USB2.0差動ペア+	4	GND	-	パワー用グラウンド
5	SSRX-	IN	USB3.0受信差動ペア-	6	SSRX+	IN	USB3.0受信差動ペア+
7	GND DRAIN	-	信号用グラウンド	8	SSTX-	OUT	USB3.0送信差動ペア-
9	SSTX+	OUT	USB3.0送信差動ペア+				

5.3. CN3: HDMIコネクタ

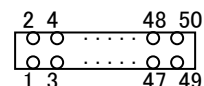
HDMIケーブルを通して、HDMIモニタなどを接続するためのコネクタです。

使用コネクタ		5-1903015-1: TE Connectivity					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	D2+	IN	TMDS データ 2+	2	D2 shield	-	TMDS データ 2 シールド
3	D2-	IN	TMDS データ 2-	4	D1+	IN	TMDS データ 1+
5	D1 shield	-	TMDS データ 1 シールド	6	D1-	IN	TMDS データ 1-
7	D0+	IN	TMDS データ 0+	8	D0 shield	-	TMDS データ 0 シールド
9	D0-	IN	TMDS データ 0-	10	CLK+	IN	TMDS クロック+
11	CLK shield	-	TMDS クロック・シールド	12	CLK-	IN	TMDS クロック-
13	CEC	I/O	CEC データ	14	Utility	-	ユーティリティ(N.C.)
15	DDCSCL	I/(O)	DDC クロック	16	DDCSDA	I/O	DDC データ
17	GND	-	-	18	+5V	IN	+5V 電源
19	HPD	OUT	ホット・プラグ検出				

5.4. CN4: ターゲット接続コネクタ

勘合面視

ターゲットを接続するためのコネクタです。



※方向は SVO-03 から見ての方向です。

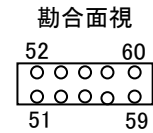
使用コネクタ		A1-50PA-2.54DSA: ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	VDD_L※	OUT	ターゲットI/Oレベル電源 (1.56~4.20V まで設定可能)	2	GND	-	-
3	P0	OUT	汎用出力ポート 0 FSYNC マスタ用内部 VS 出力	4	GND	-	-
5	P1	OUT	汎用出力ポート 1 ターゲットへの DE 同期信号	6	GND	-	-
7	P2	OUT	汎用出力ポート 2	8	GND	-	-
9	P3	IN	汎用入力ポート 0 外部同期用 Pixel_CLK 入力	10	GND	-	-
11	P4	IN	汎用入力ポート 1 外部同期用 VS 入力	12	HS	OUT	ターゲットへの水平同期信号
13	VS	OUT	ターゲットへの垂直同期信号	14	XRST※	OUT	ターゲットへのリセット信号
15	VDD_H※	OUT	ターゲット電源 (1.56~4.20V まで設定可能)	16	GND	-	-
17	SDA	I/O	I2C_DATA (バッファによりディスコネクト)	18	GND	-	-
19	SCL	I/O	I2C_CLK (バッファによりディスコネクト)	20	GND	-	-
21	DCK	OUT	Pixel_CLK	22	GND	-	-
23	Y0	OUT	Pixel_DATA0	24	GND	-	-
25	Y1	OUT	Pixel_DATA1	26	GND	-	-
27	Y2	OUT	Pixel_DATA2	28	GND	-	-
29	Y3	OUT	Pixel_DATA3	30	GND	-	-
31	Y4	OUT	Pixel_DATA4	32	GND	-	-
33	Y5	OUT	Pixel_DATA5	34	GND	-	-
35	Y6	OUT	Pixel_DATA6	36	GND	-	-
37	Y7	OUT	Pixel_DATA7	38	GND	-	-
39	DE※	OUT	ターゲットへの DE 同期信号	40	GND	-	-
41	Y8	OUT	Pixel_DATA8	42	Y9	OUT	Pixel_DATA9
43	Y10	OUT	Pixel_DATA10	44	Y11	OUT	Pixel_DATA11
45	Y12	OUT	Pixel_DATA12	46	Y13	OUT	Pixel_DATA13
47	Y14	OUT	Pixel_DATA14	48	Y15	OUT	Pixel_DATA15
49	+3.3V※	OUT	出力電流 300mA まで	50	P5	IN	汎用入力ポート 2 外部同期用 HS 入力

※付きの信号は方向を切り替えることができず、常に出力状態になります。SVIボードなどと接続する際は、対象となる線をカットする必要があります。

5.5. CN5: ターゲット接続コネクタ

ターゲットを接続するコネクタです。

※方向は SVO-03 から見ての方向です。



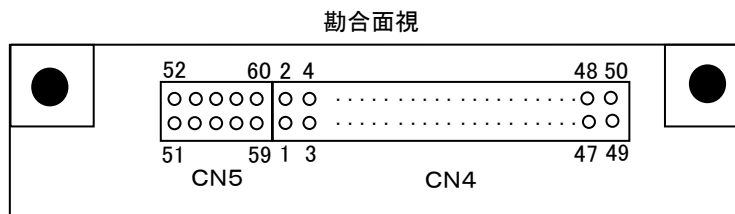
使用コネクタ		A1-10PA-2.54DSA: ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
51	P6	IN	汎用入力ポート 3	52	P7	IN	汎用入力ポート 4
53	P8	IN	汎用入力ポート 5	54	P9	IN	汎用入力ポート 6
55	P10	IN	汎用入力ポート 7	56	P11	OUT	汎用出力ポート 3
57	P12	OUT	汎用出力ポート 4	58	P13	OUT	汎用出力ポート 5
59	P14	OUT	汎用出力ポート 6	60	P15	OUT	汎用出力ポート 7

※CN5については、オプションです。ピンヘッダは未実装になります。

※24bit画像出力、32bit画像出力を行う場合はCN5を実装する必要があります。

※「13. 8bit/16bit/24bit/32bit 画像出力時の CN4、CN5 のピン割り当てについて」も参照してください。

5.6. CN4とCN5の位置関係



- ・ CN4 と CN5 を合わせて 60 ピンのピンヘッダ相当になっています。
- ・ 60 ピン接続コネクタは、ケーブルで接続の場合に”ヒロセ電機: HIF3BA-60D-2.54R”、ボード対ボードの接続の場合に”ヒロセ電機: HIF3H-60DA-2.54DSA(71)”になります。

5.7. CN6: FPGA-JTAG コネクタ

FPGA ビット・ストリームの SPI-ROM への書き込み、または動作中 FPGA をデバッグするために使用する JTAG ポートです。通常の動作において、使用する必要はありません。

※方向は、FPGA から見た場合になります。

使用コネクタ		A3B-14PA-2DSA(71): ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	GND	-		2	VREF	OUT	参照電圧(3.3V)
3	GND	-		4	TMS	IN	JTAG-TMS
5	GND	-		6	TCK	IN	JTAG-TCK
7	GND	-		8	TDO	OUT	JTAG-TDO
9	GND	-		10	TDI	IN	JTAG-TDI
11	GND	-		12	NC	-	(未接続)
13	GND	-		14	NC	-	(未接続)

- 使用した場合の動作保証はいたしません。

5.8. CN7: FX3-JTAG コネクタ

FX3 ファームウェアをデバッグするために使用する JTAG ポートです。

通常の動作において、使用する必要はありません。

※方向は、FX3 から見た場合になります。

使用コネクタ		A2-7PA-2.54DSA(71): ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	+3.3V	OUT	参照電圧(3.3V)	2	TMS	IN	JTAG-TMS
3	TCK	IN	JTAG-TCK	4	TDO	OUT	JTAG-TDO
5	TDI	IN	JTAG-TDI	6	TRST	OUT	Reset
7	GND	-					

- CN7については、オプションです。ピンヘッダは未実装になります。
- 使用した場合の動作保証はいたしません。

6. SVO-03 スイッチ

6.1. SW1: プッシュ・スイッチ

現状では、ユーザが使用可能な機能は割り当てられていません。

6.2. SW2: ディップ・スイッチ

SVO-03 の各種動作モードを設定するための 8 ビットのスイッチです。

出力画像のソースを PC から USB 経由で入力する USB 版か、ビデオ信号を HDMI 経由で入力する HDMI 版かを切り替えるための 8 番のみ使用可能です。その他の 1～7 番については OFF のまま変更しないでください。また、8 番の画像ソース切り替え設定は、本ボードの立上げ時のみに反映され、立上げ後および動作中の変更はできません。

番号	項目	OFF 時	ON 時
1	予約	--	--
2	予約	--	--
3	予約	--	--
4	ボード番号 bit0	--	--
5	ボード番号 bit1	--	--
6	ボード番号 bit2	--	--
7	予約	--	--
8	画像ソースの切り替え設定	HDMI版として起動	USB版として起動

※8 番の HDMI 版の機能については、オプションになります。

7. SVO-03 発光ダイオード

7.1. LED1～10の概要

SVO-03 は赤色LEDが2個、緑色LEDが8個の合計10個のLEDを実装しており、LED1～10としてボード上にシルクで表記してあります。内訳としてLED1およびLED10が赤色で、それぞれ“CAM POWER”、“POWER”と名前を付けてシルク表記してあります。また、緑色のLED2についても“VSYNC”と名前を付けてシルク表記してあります。LED10の“POWER”は、SVO-03 ボードの電源投入時に点灯します。その他のLED1～9についてはFPGAから点灯制御されます。

7.2. 動作状態モニタLEDの詳細

LED	説明
1	“CAM POWER”とシルク表記された赤色LEDです。点灯時、ターゲットへのVDDH電源およびVDDL電源の供給中であると同時に、レベル・シフタを介してターゲットへの信号入出力が可能な状態であることを示します。消灯時ではVDDHおよびVDDLの各電源供給はディスエーブルされ、ターゲットへ信号出力されません。
2	“VSYNC”とシルク表記されたLEDです。ターゲットへ出力の V-Sync 同期信号を3分周した周期でON/OFFします。出力画像が30fpsの場合、一秒間に5回点滅を繰り返します。
3	ターゲットへのリセット状態を示します。ターゲットへの画像出力が可能な状態では消灯します。ターゲットへ出力準備中である場合、または何らかの不具合によりターゲットへの画像出力ができない場合に点灯します。
4	ターゲットに対してピクセル・クロックが出力されている場合に点灯します。
5	ターゲットへ出力するピクセル・クロックがロックしている場合に点灯します。FPGA 内蔵クロック・ジェネレータからピクセル・クロックを生成の場合に、周波数合成する DCM、PLL 等の全体がロックしている状態で点灯します。
6	外部クロック入力を選択されている場合に点灯します。
7	内部の統合ビデオ同期信号ソースが駆動中である場合に、V-Sync 同期信号を3分周した周期でON/OFFします。本 LED が点滅状態が、必ずしもターゲットへの画像出力を示すわけではありません。
8	フレーム・メモリに格納済みの画像をターゲットへ出力するためにロードしている場合に点灯します。本 LED の点灯状態が、必ずしもターゲットへの画像出力を示すわけではありません。
9	画像ソースが入力されている場合に点滅します。USB版とHDMI版の動作で点滅の意味合いが異なります。 USB版では、USBポートから画像のような大量のデータ・パケットが入力される場合に点滅します。 HDMI版では、HDMIレシーバーからの V-Sync 同期信号を3分周した周期でON/OFFします。

8. ターゲット電源調整ボリューム

8.1. RV1: VDDH調整用ボリューム

SVO-03 で生成するVDDHの調整用ボリュームです。1.56V～4.20V の範囲で調整することができます。

チェック端子TP2: "VDDH"で電圧を計測しながら調整します。

通常出荷時設定: 3. 30V

VDDHの用途: ターゲットのイメージ・センサなどの駆動用電源です。SVO-03 ボードでの動作には使用しません。

8.2. RV2: VDDL調整用ボリューム

SVO-03 で生成するVDDLの調整用ボリュームです。1.56V～4.20V の範囲で調整することができます。ターゲットのI/O 電圧にあわせる必要があります。ただし、ターゲットのI/O 電圧へ変換するレベル・シフタの推奨動作条件は 1.40V～3.60V の範囲になります。

チェック端子TP4: "VDDL"で電圧を計測しながら調整します。

通常出荷時設定: 3. 30V

VDDLの用途: ターゲットのI/Oレベルに合わせて SVO-03 ボードで正しく信号をやり取りするための電源です。

9. チェック端子

9.1. TP2: "VDDH"チェック端子(赤)

VDDHの調整時に使用するチェック端子です。

9.2. TP4: "VDDL"チェック端子(赤)

VDDLの調整時に使用するチェック端子です。

9.3. TP1/3/5/6: 電圧チェック端子(赤)

SVO-03 ボードの動作で必要となる各電源電圧のチェック端子です。通常の使用では、チェックする必要はありません。また、外部モジュールへの電源供給のために、このチェック端子から電源を取り出すことはやめてください。

9.4. TP7/8/9/10: "GND"チェック端子(黒)

VDDH及びVDDL調整時のGND端子として使用してください。

9.5. TP11~33: I/O信号チェック端子(黄)

ターゲット信号のチェック端子です。各信号のシルクを捺印しています。測定器等を接続する際に使用してください。

9.6. TP34~39: FPGA信号チェック端子(黄)

内部クロックの生成、デバッグ用に使用します。絶対に何も接続せず、使用しないでください。

10. ターゲット用電源 VDDH、VDDL

10.1. VDDH

VDDH はカメラ・モジュールまたはターゲットの内部電源等でご使用ください。

SVO-03 ボード上に実装しているRV1にて調整します。1.56V～4.20V の範囲で調整することができます。

通常出荷時は+3.30V に設定しています。

10.2. VDDL

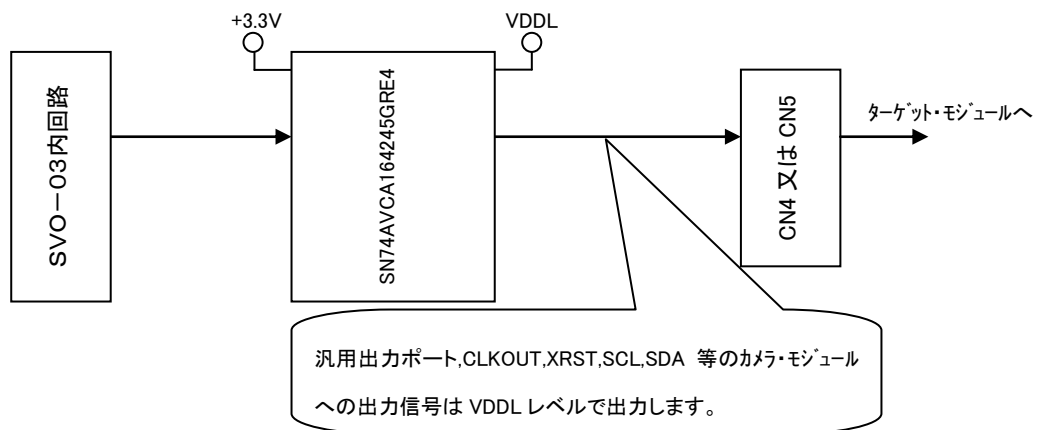
VDDL はカメラ・モジュールなどのターゲットの I/O 信号レベル用電源です。

SVO-03 ボード上に実装しているRV2にて調整します。1.56V～4.20V の範囲で調整することができます。

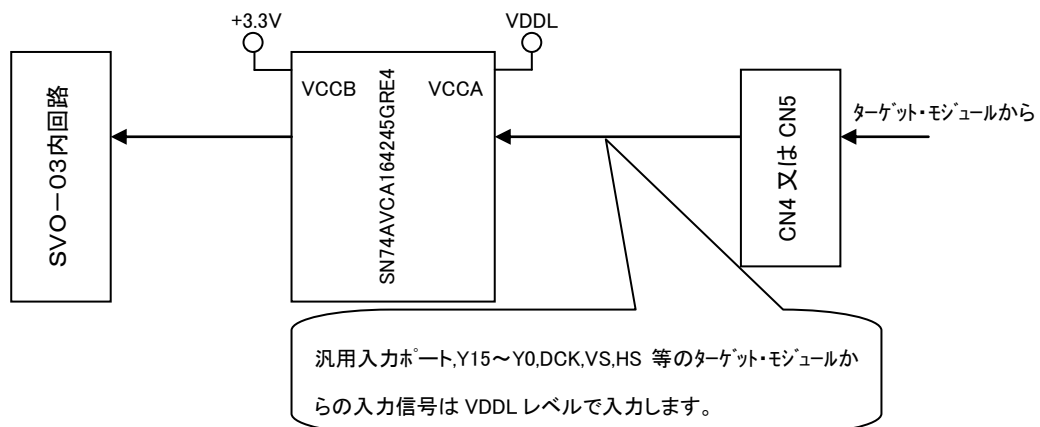
ただし、ターゲットへの I/O 電圧に変換するレベルシフタの推奨動作条件では 1.40V～3.60V の範囲になります。

通常出荷時は+3.30V に設定しています。ターゲットからの入出力概略回路は以下のようになっています。

10.3. 出力回路概略図



10.4. 入力回路概略図



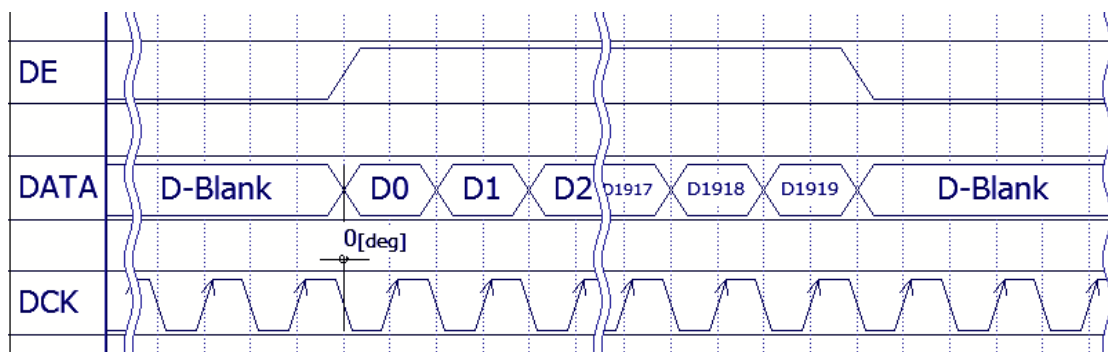
- レベルシフトIC(SN74AVCA164245GRE4)の電氣的仕様はテキサス・インスツルツメンツ社様 HP からデータシートをダウンロードしていただき、参照してください。不明な点は弊社営業まで お問合せ下さい。

11. DCK 出力の SDR/DDR モード設定

DCK(ピクセル・クロック)出力を通常の SDR(Single Data Rate)に加えて、DDR(Double Data Rate)に切り替えて出力することができます。1080p/60fps のような高データ転送レートの画像出力で、標準的なデータ幅 16bit で転送する場合には、SDR クロック出力で 148.5[MHz]など 100MHz を超える DCK 出力が必要となりますが、ボード上の出力回路の制約により困難でした。DCK 出力の DDR 設定により、データ・バスのビット・レートを 148.5[Mbps]で、DCK クロック周波数を 1/2 の 74.25[MHz]に落とすことができ、ボードの制約を超えずに標準の 16bit データ幅のピン配で 1080p/60fps の画像転送が可能になります。

DCK クロック出力設定として、従来の SDR での 2 つのモードに加えて、DDR で 4 つのモードを設定できます。以降で各モードの詳細について示します。

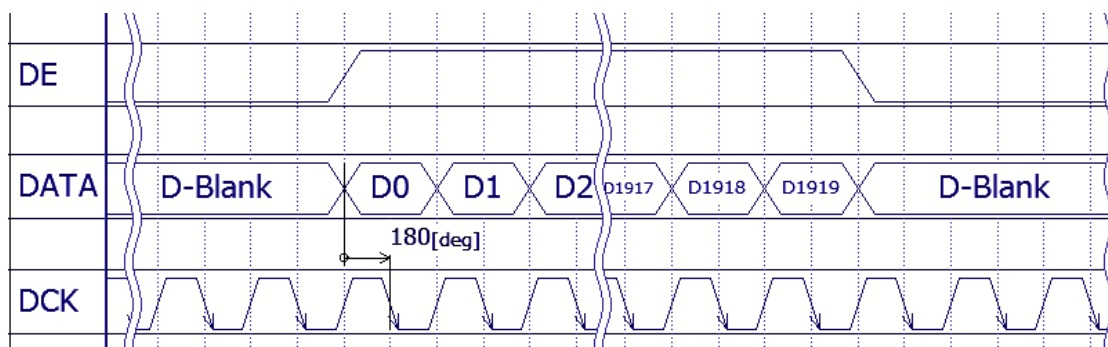
11.1. SDR-Mode0(pos-edge)



最も標準的な DCK 出力設定で、SDR でターゲットが Positive(Leading)-Edge(立上りエッジ)でサンプリングできるよう、Negative(Trailing)-Edge(立下りエッジ)でデータ・バスおよび同期信号をドライブします。

タイミング・チャート図の DCK における立上りの矢印は、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

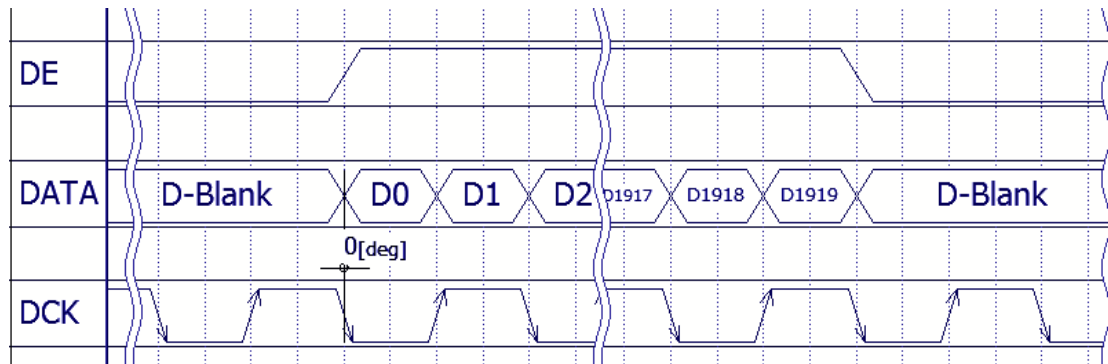
11.2. SDR-Mode1(neg-edge)



SDR-Mode0 に対して DCK 出力を反転クロックとした、または 180° 位相シフトした関係になります。SDR でターゲットが Negative(Trailing)-Edge(立下りエッジ)でサンプリングできるよう、Positive(Leading)-Edge(立上りエッジ)でデータ・バスおよび同期信号をドライブします。

タイミング・チャート図の DCK における立下り矢印が、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

11.3. DDR-Mode0(0°)

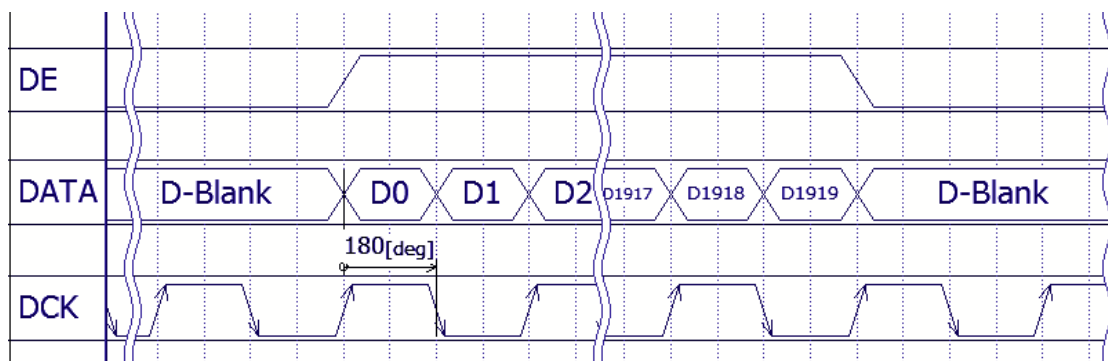


DDR 出力設定で、ターゲットが先行データを立上りエッジ、後続データを立下りエッジでサンプリングするように DCK 出力をドライブします。DCK 出力とデータおよび同期信号の両方のエッジの位相が揃った出力となります。

DDR 出力では、データおよび同期信号出力に関しては DCK に対して周波数 2 倍の内部クロックでドライブします。先行データ(図の DATA バスで偶数番号)の位相と後続データ(奇数番号)の位相のペアとなります。本モードではクロックとデータのエッジ位相が揃っており、先行データが SDR-Mode0 同様に立上りエッジでサンプリングされるよう、立下りエッジでドライブしているように見えることから、DDR-Mode の基準として位相 0° としています。

タイミング・チャート図の DCK における立上り／立下りの矢印は、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

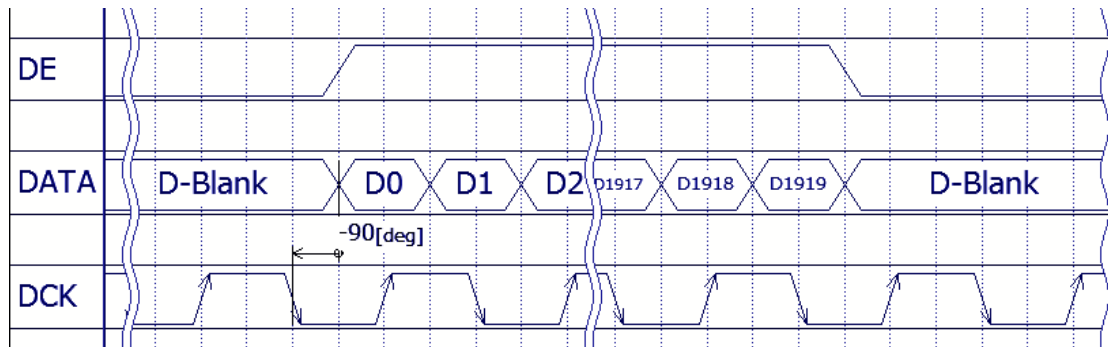
11.4. DDR-Mode1(180°)



DDR 出力設定で、DDR-Mode0 に対して DCK 出力を反転クロックとした、または 180° 位相シフトした関係になります。ターゲットが先行データを立下りエッジ、後続データを立上りエッジでサンプリングするように DCK 出力をドライブします。DCK 出力とデータおよび同期信号の両方のエッジの位相が揃った出力となります。

タイミング・チャート図の DCK における立上り／立下りの矢印は、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

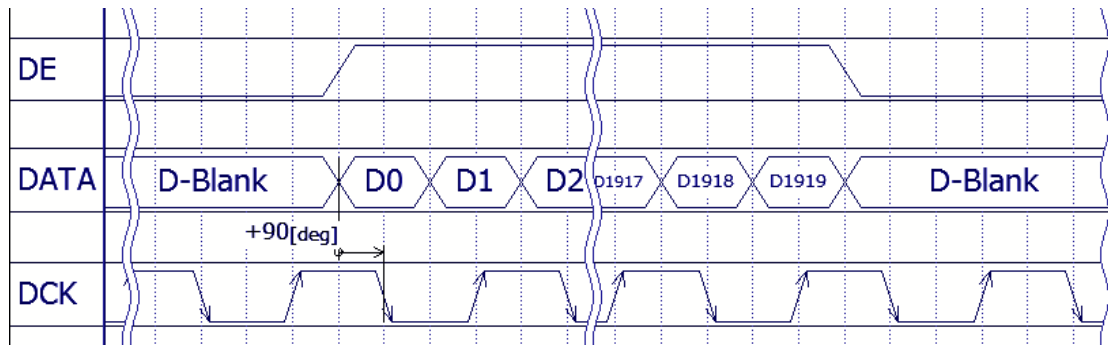
11.5. DDR-Mode2(-90°)



DDR 出力設定で、DDR-Mode0 に対して DCK 出力を -90° 位相シフトした関係になります。ターゲットが先行データを立上りエッジ、後続データを立下りエッジでサンプリングするように DCK 出力をドライブします。ターゲットから見てアイ・パターンの中でサンプリングできるよう、データおよび同期信号のエッジに対して DCK 出力のエッジをシフトした出力となります。

タイミング・チャート図の DCK における立上り／立下りの矢印は、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

11.6. DDR-Mode3(+90°)



DDR 出力設定で、DDR-Mode0 に対して DCK 出力を $+90^\circ$ 位相シフトした関係になります。ターゲットが先行データを立下りエッジ、後続データを立上りエッジでサンプリングするように DCK 出力をドライブします。ターゲットから見てアイ・パターンの中でサンプリングできるよう、データおよび同期信号のエッジに対して DCK 出力のエッジをシフトした出力となります。

タイミング・チャート図の DCK における立上り／立下りの矢印は、ターゲットから見たサンプリング用のエッジであることを示します。また、同期信号として、DE 信号しか図示していませんが、その他の HS/VS/FI などの同期信号についても DE 信号と同様です。

12. 注意事項

本ボードをご使用する際は、以下の注意事項を必ずお守り下さい。

1. ターゲットの接続および取り外しを行う場合は、SVO-03 ボードの電源を必ず”OFF”の状態にして行って下さい。
2. 本ボードへの電源供給に関して、[2.1 章](#)および[2.2 章](#)をよくお読みになり、電流容量を十分に確保できるPCに接続してご使用ください。
3. 本書の内容に関しては、将来予告なしに変更することがあります。
4. 本書の内容の一部又は全部を無断で転載することは、禁止されています。
5. 本書の内容については万全を期していますが、万一不審な点や誤り、記載もれなどお気づきの点がありましたら sv-support@net-vision.co.jp へご連絡ください。

13. 8bit/16bit/24bit/32bit 画像出力時の CN4、CN5 のピン割り当てについて

ピン番	信号名	8bit	16bit	24bit	32bit
3	P0	汎用出力ポート 0	汎用出力ポート 0	Pixel_DATA16 (R0)	Pixel_DATA16
5	P1	汎用出力ポート 1	汎用出力ポート 1	Pixel_DATA17 (R1)	Pixel_DATA17
7	P2	汎用出力ポート 2	汎用出力ポート 2	Pixel_DATA18 (R2)	Pixel_DATA18
9	P3	汎用入力ポート 0	汎用入力ポート 0	汎用入力ポート 0	Pixel_DATA24
11	P4	汎用入力ポート 1	汎用入力ポート 1	汎用入力ポート 1	Pixel_DATA25
23	Y0	Pixel_DATA0	Pixel_DATA0 (Y0/RAW0)	Pixel_DATA0 (B0)	Pixel_DATA0
25	Y1	Pixel_DATA1	Pixel_DATA1 (Y1/RAW1)	Pixel_DATA1 (B1)	Pixel_DATA1
27	Y2	Pixel_DATA2	Pixel_DATA2 (Y2/RAW2)	Pixel_DATA2 (B2)	Pixel_DATA2
29	Y3	Pixel_DATA3	Pixel_DATA3 (Y3/RAW3)	Pixel_DATA3 (B3)	Pixel_DATA3
31	Y4	Pixel_DATA4	Pixel_DATA4 (Y4/RAW4)	Pixel_DATA4 (B4)	Pixel_DATA4
33	Y5	Pixel_DATA5	Pixel_DATA5 (Y5/RAW5)	Pixel_DATA5 (B5)	Pixel_DATA5
35	Y6	Pixel_DATA6	Pixel_DATA6 (Y6/RAW6)	Pixel_DATA6 (B6)	Pixel_DATA6
37	Y7	Pixel_DATA7	Pixel_DATA7 (Y7/RAW7)	Pixel_DATA7 (B7)	Pixel_DATA7
41	Y8	--	Pixel_DATA8 (C8/RAW8)	Pixel_DATA8 (G0)	Pixel_DATA8
42	Y9	--	Pixel_DATA9 (C9/RAW9)	Pixel_DATA9 (G1)	Pixel_DATA9
43	Y10	--	Pixel_DATA10 (C10/RAW10)	Pixel_DATA10 (G2)	Pixel_DATA10
44	Y11	--	Pixel_DATA11 (C11/RAW11)	Pixel_DATA11 (G3)	Pixel_DATA11
45	Y12	--	Pixel_DATA12 (C12/RAW12)	Pixel_DATA12 (G4)	Pixel_DATA12
46	Y13	--	Pixel_DATA13 (C13/RAW13)	Pixel_DATA13 (G5)	Pixel_DATA13
47	Y14	--	Pixel_DATA14 (C14/RAW14)	Pixel_DATA14 (G6)	Pixel_DATA14
48	Y15	--	Pixel_DATA15 (C15/RAW15)	Pixel_DATA15 (G7)	Pixel_DATA15
50	P5	汎用入力ポート 2	汎用入力ポート 2	汎用入力ポート 2	Pixel_DATA26
51	P6	汎用入力ポート 3	汎用入力ポート 3	汎用入力ポート 3	Pixel_DATA27
52	P7	汎用入力ポート 4	汎用入力ポート 4	汎用入力ポート 4	Pixel_DATA28
53	P8	汎用入力ポート 5	汎用入力ポート 5	汎用入力ポート 5	Pixel_DATA29
54	P9	汎用入力ポート 6	汎用入力ポート 6	汎用入力ポート 6	Pixel_DATA30
55	P10	汎用入力ポート 7	汎用入力ポート 7	汎用入力ポート 7	Pixel_DATA31
56	P11	汎用出力ポート 3	汎用出力ポート 3	Pixel_DATA19 (R3)	Pixel_DATA19
57	P12	汎用出力ポート 4	汎用出力ポート 4	Pixel_DATA20 (R4)	Pixel_DATA20
58	P13	汎用出力ポート 5	汎用出力ポート 5	Pixel_DATA21 (R5)	Pixel_DATA21
59	P14	汎用出力ポート 6	汎用出力ポート 6	Pixel_DATA22 (R6)	Pixel_DATA22
60	P15	汎用出力ポート 7	汎用出力ポート 7	Pixel_DATA23 (R7)	Pixel_DATA23